

MENU

SEARCH

INDEX

DETAIL

1/1



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 11202031

(43)Date of publication of application: 30.07.1999

(51)Int.Cl.

G01R 31/28
G01R 31/26
H01L 27/04
H01L 21/822

(21)Application number: 10020312

(71)Applicant:

NEC CORP

(22)Date of filing: 16.01.1998

(72)Inventor:

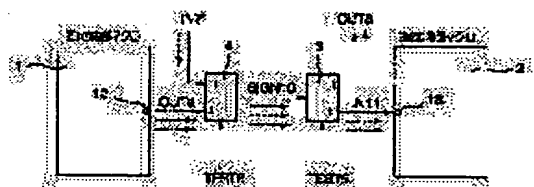
HIRATA MASARU

(54) TEST CIRCUIT FOR SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To check even the intermacro connection when the inside of an LSI is normal without using a normal mode test pattern by testing all macros in the LSI individually.

SOLUTION: First and second test select circuits 3, 4 provided between the output terminal 12 of a first inner macro 1 and the input terminal 13 of a second inner macro 2 are switched between LAO and HIGH levels by TEST 5, 6 signals. When the first inner macro 1 is tested, TEST 5 is HIGH while TEST 6 is LOW and in testing the second inner macro 2, TEST 5 is LOW while TEST 6 is HIGH. Under normal mode, both TEST 5 and TEST 6 are LOW. The second test select circuit 4 verifies output of SIGN signal from the output terminal 12 of the first inner macro 1 under normal mode.



LEGAL STATUS

[Date of request for examination]	16.01.1998
[Date of sending the examiner's decision of rejection]	
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	2947251
[Date of registration]	02.07.1999
[Number of appeal against examiner's decision of rejection]	
[Date of requesting appeal against examiner's decision of rejection]	
[Date of extinction of right]	

Copyright (C) 1998 Japanese Patent Office

[MENU](#)[SEARCH](#)[INDEX](#)[DETAIL](#)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-202031

(43) 公開日 平成11年(1999) 7月30日

(51) Int.Cl.⁶
G 0 1 R 31/28
31/26
H 0 1 L 27/04
21/822

識別記号

F I

G 0 1 R 31/28
31/26
H 0 1 L 27/04

V
G
T

審査請求 有 請求項の数 3 F D (全 7 頁)

(21) 出願番号 特願平10-20312

(22) 出願日 平成10年(1998) 1月16日

(71) 出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72) 発明者 平田 勝

東京都港区芝五丁目7番1号 日本電気株
式会社内

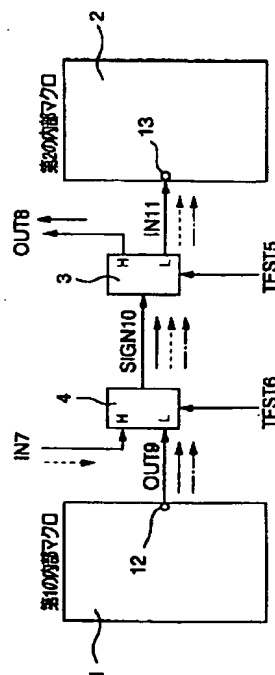
(74) 代理人 弁理士 野田 茂

(54) 【発明の名称】 半導体装置テスト回路

(57) 【要約】

【課題】 L S I 内部の各マクロを全て個別でテストすることにより、ノーマルモードでのテストボタンを使用せずに、L S I 内部のノーマル時のマクロ間の接続も同時に検証する。

【解決手段】 第1の内部マクロ1の出力端子12と第2の内部マクロ2の入力端子13間に第1のテストセレクト回路3および第2のテストセレクト回路4を設け、第1および第2のテストセレクト回路3、4はTEST 5、6の信号によりLOWおよびHIGHレベルに切替えられ、第1の内部マクロ1をテストする時は、TEST 5がHIGH、TEST 6がLOWとなり、第2の内部マクロ2をテストする時は、TEST 5がLOW、TEST 6がHIGHとなり、ノーマルモード時は、TEST 5、TEST 6が共にLOWとなる。第2のテストセレクト回路4はノーマル時に第1の内部マクロ1の出力端子12からの信号がSIGNに出力されることを検証する。



【特許請求の範囲】

【請求項1】 LSI内部に第1の内部マクロと第2の内部マクロとが設けられ、該第1の内部マクロと第2の内部マクロとの接続検証を行う半導体装置テスト回路において、

前記第1の内部マクロの出力端子と第2の内部マクロの入力端子間に設けられた第1のテストセクタ回路および第2のテストセクタ回路を備え、該第1および第2のテストセクタ回路はテスト信号によりLOWおよびHIGHレベルに切替えられ、前記第2のテストセクタ回路をLOWレベルとして前記第1の内部マクロのテストを行い、前記第1のテストセクタ回路をLOWレベルとして前記第2の内部マクロのテストを行い、ノーマル時に前記第1および第2のテストセクタ回路をLOWレベルとし、ノーマル時の前記第1の内部マクロと前記第2の内部マクロ間の接続を検証するようにしたことを特徴とする半導体装置テスト回路。

【請求項2】 前記第2のテストセクタ回路のLOW端子と前記第1の内部マクロの出力端子とが接続され、前記第1のテストセクタ回路のLOW端子と前記第2の内部マクロの入力端子とが接続され、前記第1のテストセクタ回路の入力端子と第2のテストセクタ回路の出力端子とが接続され、前記第2のテストセクタ回路のHIGH端子にはLSIのピンからの入力信号が入力され、前記第1のテストセクタ回路のHIGH端子にはLSIのピンへの出力信号が出力されるようになっていることを特徴とする請求項1記載の半導体装置テスト回路。

【請求項3】 前記第2のテストセクタ回路が前記第1の内部マクロの内部に、前記第1のテストセクタ回路が前記第2の内部マクロの内部に各々設けられ、前記第2のテストセクタ回路のLOW端子と前記第1の内部マクロの出力端子とが接続され、前記第1のテストセクタ回路のLOW端子と前記第2の内部マクロの入力端子とが接続され、前記第1のテストセクタ回路の入力端子と第2のテストセクタ回路の出力端子とが接続され、前記第2のテストセクタ回路のHIGH端子にはLSIのピンからの入力信号が入力され、前記第1のテストセクタ回路のHIGH端子にはLSIのピンへの出力信号が出力されるようになっていることを特徴とする請求項1記載の半導体装置テスト回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置テスト回路に関し、詳しくは、マクロセルを搭載した集積回路(LSI)のテスト回路の改良に関するものである。

【0002】

【従来の技術】近來、LSIは大規模化し、複数の既存LSIをチップに統合する等、複雑な内部構成となり、LSIの全体機能を検証するテストパターンを設計する

ことは多大の労力と時間を必要とする。そこで、従来の半導体装置テスト回路では、図3に示すようなテスト方式を採用している。図3において、1はLSI内部の第1の内部マクロ、2は同じくLSI内部の第2の内部マクロであって、各内部マクロ1、2ごとに、テスト専用端子を設け、これらテスト専用端子15を使用してテスト用入力信号16を入力し、かつテスト用出力信号を取り出すようになっている。これにより、LSI内部のマクロを分割してテストを行うことができるため、テストパターン作成の時間が短縮でき、また、テストパターン長を短くできるという利点がある。

【0003】

【発明が解決しようとする課題】上記のテスト回路では、LSIのマクロ単体の検証を行うことができるが、ノーマル時に接続される信号SIGNが、第1の内部マクロ1の出力端子12と第2の内部マクロ2の入力端子13とに電気的に接続されているか否かの検証を行うことができない。また、接続検証を行う場合は、LSI全体のノーマルモードでのテストパターンを設計しなければならず、テストパターン設計に多大の労力と時間を必要とするという問題がある。本発明は上述の点に着目してなされたもので、LSI内部の各マクロを全て個別でテストすることにより、ノーマルモードでのテストパターンを使用せずに、LSI内部のノーマル時のマクロ間の接続も同時に検証できるようにした半導体装置テスト回路を提供することを目的とする。

【0004】

【課題を解決するための手段】前記の目的を達成するべく、本発明の半導体装置テスト回路は、LSI内部に第1の内部マクロと第2の内部マクロとが設けられ、該第1の内部マクロと第2の内部マクロとの接続検証を行う半導体装置テスト回路において、前記第1の内部マクロの出力端子と第2の内部マクロの入力端子間に設けられた第1のテストセクタ回路および第2のテストセクタ回路を備え、該第1および第2のテストセクタ回路はテスト信号によりLOWおよびHIGHレベルに切替えられ、前記第2のテストセクタ回路をLOWレベルとして前記第1の内部マクロのテストを行い、前記第1のテストセクタ回路をLOWレベルとして前記第2の内部マクロのテストを行い、ノーマル時に前記第1および第2のテストセクタ回路をLOWレベルとし、ノーマル時の前記第1の内部マクロと前記第2の内部マクロ間の接続を検証するようにしたことを特徴とするものである。

【0005】本発明の半導体装置テスト回路では、LSI内部の第1の内部マクロのテストを行うときは、第2のテストセクタ回路をLOWレベルとしてテストし、第2のテストセクタ回路はノーマル時に第1の内部マクロの出力端子からの信号が第1のテストセクタ回路に入力されることをモニタすることで検証できる。ま

3

た、第2の内部マクロのテストを行うに際し、第1のテストセクタ回路をLOWレベルとしてテストするため、第1のテストセクタ回路からの出力はノーマル時に第2の内部マクロ2にされることが検証でき、かつ第1および第2のテストセクタ回路の信号が共にLOWのときには、第1の内部マクロからの出力は第2の内部マクロへの信号としてに出力することが検証できる。これにより、LSI内部の各マクロを全て個別でテストすることにより、ノーマルモードでのテストボタンを使用せずに、LSI内部のノーマル時のマクロ間の接続も同時に検証できる。

【0006】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて説明する。なお、図3と同一部材または同一機能のものは同一符号で示している。図1において、1は第1の内部マクロ、2は第2の内部マクロであって、ともにLSI内部の小マクロを示している。3は第1のテストセクタ回路、4は第2のテストセクタ回路であって、LSIテストモード（LSIテスト等でLSI内部動作等を検証するモード）と、ノーマルモード（実装置等で使用するモード）を切替えるためのセクタ回路である。

【0007】第1のテストセクタ回路3は、TEST5の信号により出力信号を切替えることができる。すなわち、TEST5の信号がロー（LOW）レベルのときは、第1のテストセクタ回路3のLOW端子Lからの出力信号であるIN11に第2のテストセクタ回路4からの出力信号SIGN10の信号を出力し、TEST5の信号がハイ（HIGH）レベルのときは、第1のテストセクタ回路3のHIGH端子Hからの出力信号OUT8にSIGN10の信号を出力する。信号IN11は、第2の内部マクロ2の入力端子13にされ、OUT8の信号はLSIテストモードで使用する信号であって、テストモード時にLSIのピンからモニタするようになっている。第2のテストセクタ回路4は、TEST6の信号によりその入力信号を切替えることができる。すなわち、TEST6の信号がローレベルのときは、出力端子12から第2のテストセクタ回路4の端子Lへの信号OUT9をSIGN10に出力し、TEST6の信号がハイレベルのときは、第2のテストセクタ回路4のHIGH端子Hへの信号IN7をSIGN10に出力する。OUT9の信号は、第1の内部マクロ1の出力端子12から出力され、IN7の信号は、LSIテストモードで使用する信号で、テストモード時にLSIのピンからされる。

【0008】TEST5およびTEST6の信号は、各々LSIのテストモードおよびノーマルモードの切替えの信号である。すなわち、第1の内部マクロ1をテストするときは、TEST5がHIGH、TEST6がLOWとなり、また、第2の内部マクロ2をテストするとき

4

は、TEST5がLOW、TEST6がHIGHとなり、ノーマルモード時は、TEST5、TEST6が共にLOWとなる。SIGN10の信号は、第1のテストセクタ回路3の入力端子と第2のテストセクタ回路4の出力端子に接続される。以上の半導体装置テスト回路は、LSI内部の各マクロの入出力端子に全てに接続し、各マクロのテストは個別で行うものである。

【0009】次に、上記第1実施の形態の半導体装置テスト回路の信号の流れを具体的に説明する。

（a）テストモード時

第1のテストセクタ回路3および第2のテストセクタ回路4を使用した場合の各マクロの入出力端子からの信号の流れを、出力端子は第1の内部マクロ1の出力端子12を使用して、入力端子は第2の内部マクロ2の入力端子13を使用して説明する。第1の内部マクロ1のテスト時の出力信号の流れは次の通りである（図1の実線矢印参照）。この時、TEST5はHIGH、TEST6はLOWの信号になり、第1の内部マクロ1の出力端子12から出力されたOUT9の信号は、第2のテストセクタ回路4を介してSIGN10に出力され、SIGN10は第1のテストセクタ回路3を介してOUT8の信号として出力され、LSIのピンからこの信号OUT8をモニタする。第2の内部マクロ2のテスト時の入力信号の流れは次の通りである（図1の点線矢印参照）。この時、TEST5はLOW、TEST6はHIGHになり、LSIのピンからされたテスト信号はIN7であり、このIN7の信号は第2のテストセクタ回路4を介してSIGN10の信号に出力され、SIGN10は第1のテストセクタ回路3を介して、信号IN11に出力され、信号IN11は第2の内部マクロ2の入力端子13にされる。

【0010】（b）ノーマルモード時

この場合、信号TEST5と信号TEST6は共にLOWとなり、第1の内部マクロ1の出力端子12から出力されるOUT9の信号は第2のテストセクタ回路4を介して信号SIGN10に出力され、信号SIGN10は第1のテストセクタ回路3を介して信号IN11に出力され、信号IN11は第2の内部マクロ2の入力端子13にされる（図1の鎖線矢印参照）。

【0011】図2は、本発明の第2実施の形態を示すもので、図1の第1実施の形態における第1のテストセクタ回路3と第2のテストセクタ回路4を、各々第1の内部マクロ1と第2の内部マクロ2の内部に設けたものである。これにより、テストセクタ回路3、4が内部マクロ1、2内に統合できると共に、第1実施の形態の半導体装置テスト回路と同様の機能を果たすことができる。

【0012】以上のように、本発明の実施の形態における半導体装置テスト回路では、LSI内部の第1の内部マクロ1のテストを行うに際し、第2のテストセクタ

5

回路4の切替えの信号TEST6をLOWとしてテストするため、第2のテストセクタ回路4はノーマル時（LOWレベル）に第1の内部マクロ1の出力端子12からのOUT9の信号がSIGN10に出力されることが検証でき、第2の内部マクロ2のテストを行うに際し、第2のテストセクタ回路4の切替えの信号TEST5をLOWとしてテストするため、第1のテストセクタ回路3は、ノーマル時SIGN10がIN11に出力されることが検証でき、TEST5、6の信号が共にLOWのときには、OUT9はSIGN10の信号に出力し、SIGN10はIN11の信号に出力することが検証できる。これにより、LSI内部の各マクロを全て個別でテストすることにより、ノーマルモードでのテストボタンを使用せずに、LSI内部のノーマル時のマクロ間の接続も同時に検証できる。

【0013】

【発明の効果】以上、詳述したように、本発明によれば、LSI内部の第1および第2の内部マクロを個別にテストすることにより、第1の内部マクロの出力端子と第2の内部マクロの入力端子が装置動作モード時（ノーマル時）に電氣的に接続することをLSI全体のテストボタンを使用せずに検証することができ、したがって、テストボタン設計の労力、時間が不要になる。

【図面の簡単な説明】

【図1】本発明の半導体装置テスト回路の第1実施の形態を示すブロック図である。

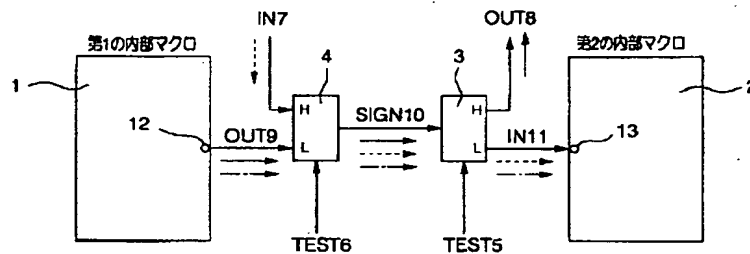
10 【図2】本発明の半導体装置テスト回路の第2実施の形態を示すブロック図である。

【図3】従来の半導体装置テスト回路のブロック図である。

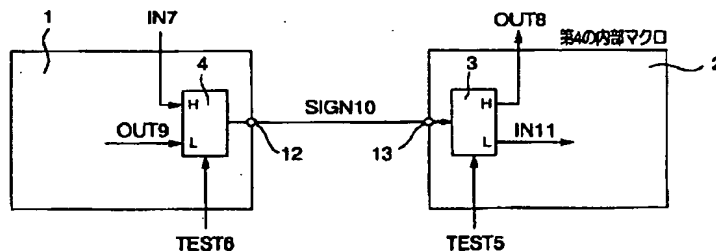
【符号の説明】

1……第1の内部マクロ、2……第2の内部マクロ、3……第1のテストセクタ回路、4……第2のテストセクタ回路、12……出力端子、13……入力端子。

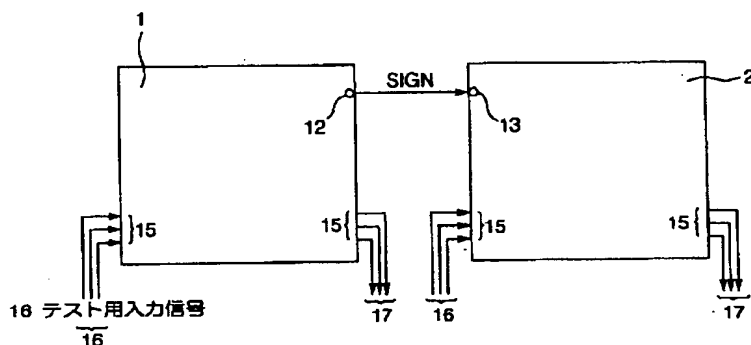
【図1】



【図2】



【図3】



【手続補正書】

【提出日】平成11年2月1日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 LSI内部に第1の内部マクロと第2の内部マクロとが設けられ、該第1の内部マクロと第2の内部マクロとの接続検証を行う半導体装置テスト回路において、

前記第1の内部マクロの出力端子と第2の内部マクロの入力端子間に設けられた第1のテストセクタ回路および第2のテストセクタ回路を備え、

前記第2のテストセクタ回路は、該第2のテストセクタ回路に入力されるモード切替え用のテスト信号がLOWレベルかHIGHレベルかに応じ、前記第1の内部マクロのテストモード時及びノーマルモード時の出力信号と前記第2の内部マクロのテストモード時のテスト信号のいずれかを選択して前記第1のテストセクタ回路へ出力するように構成され、

前記第1のテストセクタ回路は、該第1のテストセクタ回路に入力されるモード切替え用のテスト信号がLOWレベルかHIGHレベルかに応じ、前記第2のテストセクタ回路から出力される信号を選択して前記第2の内部マクロに出力するように構成され、

前記第1のテストセクタ回路のテスト信号がHIGHレベルで、かつ前記第2のテストセクタ回路のテスト信号がLOWレベルの時に前記第1の内部マクロのテストを行い、前記第1のテストセクタ回路のテスト信号がLOWレベルで、かつ前記第2のテストセクタ回路のテスト信号がHIGHレベルの時に前記第2の内部マ

クロのテストを行い、ノーマル時は前記第1および第2のテストセクタ回路のテスト信号を共にLOWレベルとして、ノーマル時の前記第1の内部マクロと前記第2の内部マクロ間の接続を検証するようにしたことを特徴とする半導体装置テスト回路。

【請求項2】 前記第2のテストセクタ回路は、前記第1の内部マクロからの出力信号を受けるLOW端子、及び前記第2の内部マクロのテストモード時のテスト信号を受けるHIGH端子を有し、前記LOW端子は前記第1の内部マクロの出力端子に接続され、前記HIGH端子には第2の内部マクロのテストモード時にLSIのピンからのテスト信号が入力され、前記第1のテストセクタ回路は、前記第2の内部マクロのテストモード及びノーマルモード時に第1のテストセクタ回路で選択された信号を出力するLOW端子、及び前記第1の内部マクロのテストモード時に第1のテストセクタ回路で選択された信号を出力するHIGH端子を有し、前記LOW端子は第2の内部マクロの入力端子に接続され、前記HIGH端子からの信号は前記第1の内部マクロのモニタ用LSIのピンへ出力されるようになっていることを特徴とする請求項1記載の半導体装置テスト回路。

【請求項3】 LSI内部に第1の内部マクロと第2の内部マクロとが設けられ、該第1の内部マクロと第2の内部マクロとの接続検証を行う半導体装置テスト回路において、

前記第1の内部マクロの内部に第1のテストセクタ回路を設け、前記第2の内部マクロの内部に第2のテストセクタ回路を設け、この第2のテストセクタ回路の出力端と第1のテストセクタ回路の入力端間を接続し、

前記第2のテストセクタ回路は、該第2のテストセクタ回路に入力されるモード切替え用のテスト信号がLOW

LOWレベルかHIGHレベルかに応じ、前記第1の内部マクロのテストモード時及びノーマルモード時の出力信号と前記第2の内部マクロのテストモード時のテスト信号のいずれかを選択して前記第1のテストセレクト回路へ出力するように構成され、

前記第1のテストセレクト回路は、該第1のテストセレクト回路に入力されるモード切替え用のテスト信号がLOWレベルかHIGHレベルかに応じ、前記第2のテストセレクト回路から出力される信号を選択して前記第2の内部マクロに出力するように構成され、

前記第1のテストセレクト回路のテスト信号がHIGHレベルで、かつ前記第2のテストセレクト回路のテスト信号がLOWレベルの時に前記第1の内部マクロのテストを行い、前記第1のテストセレクト回路のテスト信号がLOWレベルで、かつ前記第2のテストセレクト回路のテスト信号がHIGHレベルの時に前記第2の内部マクロのテストを行い、ノーマル時は前記第1および第2のテストセレクト回路のテスト信号を共にLOWレベルとして、ノーマル時の前記第1の内部マクロと前記第2の内部マクロ間の接続を検証するようにしたことを特徴とする半導体装置テスト回路。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0004

【補正方法】変更

【補正内容】

【0004】

【課題を解決するための手段】前記の目的を達成するべく、本発明は、LSI内部に第1の内部マクロと第2の内部マクロとが設けられ、該第1の内部マクロと第2の内部マクロとの接続検証を行う半導体装置テスト回路において、前記第1の内部マクロの出力端子と第2の内部マクロの入力端子間に設けられた第1のテストセレクト回路および第2のテストセレクト回路を備え、前記第2のテストセレクト回路は、該第2のテストセレクト回路に入力されるモード切替え用のテスト信号がLOWレベルかHIGHレベルかに応じ、前記第1の内部マクロのテストモード時及びノーマルモード時の出力信号と前記第2の内部マクロのテストモード時のテスト信号のいずれかを選択して前記第1のテストセレクト回路へ出力するように構成され、前記第1のテストセレクト回路は、該第1のテストセレクト回路に入力されるモード切替え用のテスト信号がLOWレベルかHIGHレベルかに応じ、前記第2のテストセレクト回路から出力される信号を選択して前記第2の内部マクロに出力するように構成され、前記第1のテストセレクト回路のテスト信号がHIGHレベルで、かつ前記第2のテストセレクト回路のテスト信号がLOWレベルの時に前記第1の内部マクロのテストを行い、前記第1のテストセレクト回路のテスト信号がLOWレベルで、かつ前記第2のテストセレクト

タ回路のテスト信号がHIGHレベルの時に前記第2の内部マクロのテストを行い、ノーマル時は前記第1および第2のテストセレクト回路のテスト信号を共にLOWレベルとして、ノーマル時の前記第1の内部マクロと前記第2の内部マクロ間の接続を検証するようにしたことを特徴とする。また、本発明は、LSI内部に第1の内部マクロと第2の内部マクロとが設けられ、該第1の内部マクロと第2の内部マクロとの接続検証を行う半導体装置テスト回路において、前記第1の内部マクロの内部に第1のテストセレクト回路を設け、前記第2の内部マクロの内部に第2のテストセレクト回路を設け、この第2のテストセレクト回路の出力端と第1のテストセレクト回路の入力端間を接続し、前記第2のテストセレクト回路は、該第2のテストセレクト回路に入力されるモード切替え用のテスト信号がLOWレベルかHIGHレベルかに応じ、前記第1の内部マクロのテストモード時及びノーマルモード時の出力信号と前記第2の内部マクロのテストモード時のテスト信号のいずれかを選択して前記第1のテストセレクト回路へ出力するように構成され、前記第1のテストセレクト回路は、該第1のテストセレクト回路に入力されるモード切替え用のテスト信号がLOWレベルかHIGHレベルかに応じ、前記第2のテストセレクト回路から出力される信号を選択して前記第2の内部マクロに出力するように構成され、前記第1のテストセレクト回路のテスト信号がHIGHレベルで、かつ前記第2のテストセレクト回路のテスト信号がLOWレベルの時に前記第1の内部マクロのテストを行い、前記第1のテストセレクト回路のテスト信号がLOWレベルで、かつ前記第2のテストセレクト回路のテスト信号がHIGHレベルの時に前記第2の内部マクロのテストを行い、ノーマル時は前記第1および第2のテストセレクト回路のテスト信号を共にLOWレベルとして、ノーマル時の前記第1の内部マクロと前記第2の内部マクロ間の接続を検証するようにしたことを特徴とする。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0005

【補正方法】変更

【補正内容】

【0005】本発明の半導体装置テスト回路では、LSI内部の第1の内部マクロのテストを行うときは、第2のテストセレクト回路のテスト信号をHIGHレベルに、第2のテストセレクト回路のテスト信号をLOWレベルにして、第1の内部マクロの出力信号が第1のテストセレクト回路に入力されることをモニタすることで検証できる。また、第1の内部マクロのテストを行う際には、第1のテストセレクト回路のテスト信号をLOWレベルに、第2のテストセレクト回路のテスト信号をHIGHレベルにして、第2のテストセレクト回路から

(7)

第1のテストセクタ回路に入力されるテストモード時の出力信号を第1の内部マクロに入力されることをモニタすることで検証できる。さらに、第1および第2のテストセクタ回路のテスト信号が共にLOWレベルにすることにより、ノーマル時に第1の内部マクロからの出

力信号は第2の内部マクロへの入力信号としてに出力することが検証できる。これにより、LSI内部の各マクロを全て個別でテストすることで、ノーマルモードでのテストボタンを使用せずに、LSI内部のノーマル時のマクロ間の接続も同時に検証できる。